

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-010666
(43)Date of publication of application : 14.01.2000

(51)Int.Cl. G06F 1/24
G06F 1/26
G06F 9/06
G06F 15/78
G11C 16/02

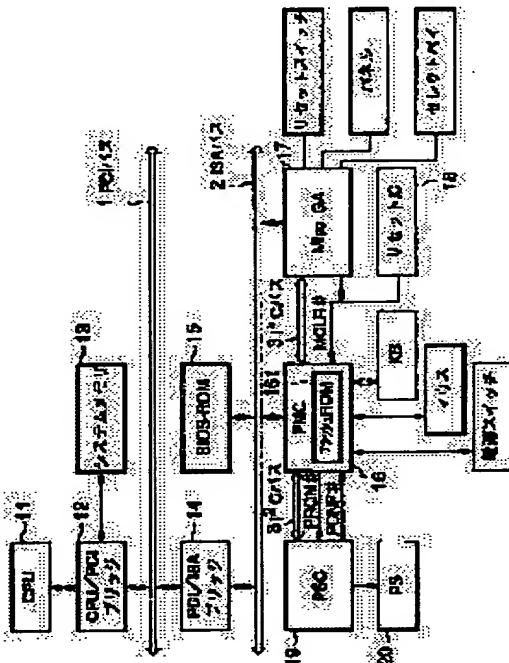
(21)Application number : 10-172983 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 19.06.1998 (72)Inventor : NINOMIYA RYOJI

(54) COMPUTER SYSTEM AND FLASH ROM REWRITING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a computer system forcedly executing flash ROM rewriting even when any proper power source control can not be operated due to the destruction of the content of the flash ROM incorporated in a power source control microcomputer.

SOLUTION: A flash ROM 161 incorporated in a power source control microcomputer (PMC) 16 is divided into a data block to be rewritten and a boot block not to be rewritten, and when power supply to this system or the reset of this system is operated, a key input detection program stored in the boot block is executed so that the presence or absence of prescribed key input can be detected. When the prescribed key input is detected, a rewriting request program stored in the boot block is executed so that the rewriting of the data block can be operated. Therefore, even when any proper power source control can not be operated due to the destruction of the data block, the rewriting of the data block can be forcedly executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-10666

(P2000-10666A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ¹	識別記号	F I	マーク(参考)
G 06 F 1/24		G 06 F 1/00	3 5 0 C 5 B 0 1 1
1/26		9/06	5 4 0 M 5 B 0 2 5
9/06	5 4 0	15/78	5 1 0 C 5 B 0 5 4
15/78	5 1 0	1/00	3 3 4 H 5 B 0 6 2
G 11 C 16/02		G 11 C 17/00	6 0 1 Q 5 B 0 7 6

審査請求 未請求 請求項の数 5 OL (全 9 頁)

(21) 出願番号 特願平10-172983
(22) 出願日 平成10年6月19日 (1998.6.19)

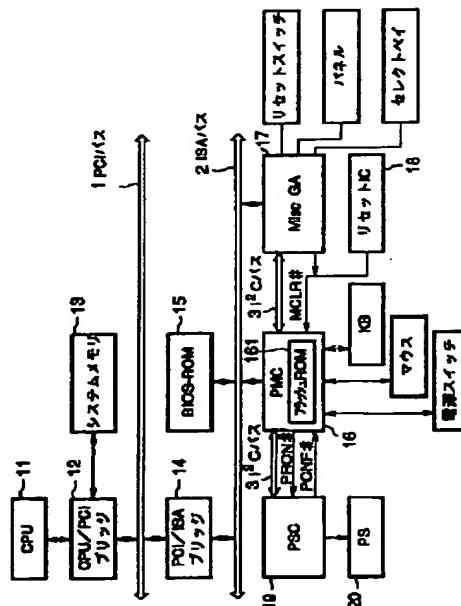
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 二宮 良次
東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)
Fターム(参考) 5B011 D001 D006 MB13
5B025 AD14
5B054 AA06 AA08 CC01 CC02
5B062 AA08 EE09
5B076 CA07 EA03

(54) 【発明の名称】 コンピュータシステムおよびフラッシュROM書き換え方法

(57) 【要約】

【課題】電源制御マイコンに内蔵されるフラッシュROMの内容が破壊されて適切な電源制御が行なえない場合でも、強制的にフラッシュROM書き換えを実行できるコンピュータシステムを提供する。

【解決手段】電源制御マイコン(PMC)16に内蔵されるフラッシュROM161は、書き換えの対象となるデータブロックと書き換えの対象とならないブートブロックとに分割され、システムの電源投入またはリセットが行なわれると、ブートブロックに格納されたキー入力検出プログラムが実行されて所定のキー入力の有無が検出される。ここで、所定のキー入力が検出されると、ブートブロックに格納された書き換え要求プログラムが実行されてデータブロックの書き換えが行なわれる。したがって、データブロックの内容が破壊されて適切な電源制御が行なえない場合でも、強制的にデータブロックの書き換えを実行できる。



【特許請求の範囲】

【請求項1】 コンピュータシステムの電源制御を実行する電源制御プログラムが格納される第1の記憶領域と、システムの電源オンを実行する電源投入プログラム、所定のキー入力を検出するキー入力検出プログラムおよび前記第1の記憶領域の内容の書き換えをシステムに要求する書き換え要求プログラムが格納される第2の記憶領域とを有するフラッシュROMと、システムの電源投入またはリセット時、前記キー入力検出プログラムに基づいて前記所定のキー入力を検出するキー入力検出手段と、前記所定のキー入力が無いときに、前記電源制御プログラムおよび電源投入プログラムに基づいてシステムの電源制御を行なう電源制御手段と、前記キー入力検出手段によって前記所定のキー入力が検出されたときに、前記書き換え要求プログラムに基づいて前記第1の記憶領域の内容の書き換えを行なうフラッシュ書き換え手段とを具備したことを特徴とするコンピュータシステム。

【請求項2】 コンピュータシステムの電源制御を実行する電源制御プログラムが格納される第1の記憶領域と、システムの電源オンを実行する電源投入プログラム、前記第1の記憶領域の内容をチェックするメモリチェックプログラムおよび前記第1の記憶領域の内容の書き換えをシステムに要求する書き換え要求プログラムが格納される第2の記憶領域とを有するフラッシュROMと、システムの電源投入またはリセット時、前記メモリチェックプログラムに基づいて前記第1の記憶領域の内容の正当性を判定するメモリチェック手段と、前記メモリチェック手段によって前記第1の記憶領域の内容の正当性が肯定されたときに、前記電源制御プログラムおよび前記電源投入プログラムに基づいてシステムの電源制御を行なう電源制御手段と、前記メモリチェック手段によって前記第1の記憶領域の内容の正当性が否定されたときに、前記書き換え要求プログラムに基づいて前記第1の記憶領域の内容の書き換えを行なうフラッシュ書き換え手段とを具備したことを特徴とするコンピュータシステム。

【請求項3】 コンピュータシステムの電源制御を実行する電源制御プログラムが格納される第1の記憶領域と、システムの電源オンを実行する電源投入プログラム、所定のキー入力を検出するキー入力検出プログラム、前記第1の記憶領域の内容をチェックするメモリチェックプログラムおよび前記第1の記憶領域の内容の書き換えをシステムに要求する書き換え要求プログラムが格納される第2の記憶領域とを有するフラッシュROMと、システムの電源投入またはリセット時、前記メモリチェックプログラムに基づいて前記第1の記憶領域の内容の

正当性を判定するメモリチェック手段と、前記メモリチェック手段によって前記第1の記憶領域の内容の正当性が肯定されたときに、前記キー入力検出プログラムに基づいて前記所定のキー入力を検出するキー入力検出手段と、前記所定のキー入力が無いときに、前記電源制御プログラムおよび前記電源投入プログラムに基づいてシステムの電源制御を行なう電源制御手段と、前記メモリチェック手段によって前記第1の記憶領域の内容の正当性が否定されたとき、または前記キー入力検出手段によって前記所定のキー入力が検出されたときに、前記書き換え要求プログラムに基づいて前記第1の記憶領域の内容の書き換えを行なうフラッシュ書き換え手段とを具備したことを特徴とするコンピュータシステム。

【請求項4】 コンピュータシステムの電源制御を実行する電源制御プログラムが格納される第1の記憶領域と、システムの電源オンを実行する電源投入プログラムおよび前記第1の記憶領域の内容の書き換えをシステムに要求する書き換え要求プログラムが格納される第2の記憶領域とを有するフラッシュROMを具備したことを特徴とするコンピュータシステム。

【請求項5】 コンピュータシステムの電源制御を実行する電源制御プログラムが格納される第1の記憶領域と、システムの電源オンを実行する電源投入プログラム、所定のキー入力を検出するキー入力検出プログラム、前記第1の記憶領域の内容をチェックするメモリチェックプログラムおよび前記第1の記憶領域の内容の書き換えをシステムに要求する書き換え要求プログラムが格納される第2の記憶領域とを有するフラッシュROMを備えたコンピュータシステムのフラッシュROM書き換え方法において、

システムの電源投入またはリセット時、前記メモリチェックプログラムに基づいて前記第1の記憶領域の内容の正当性を判定し、

前記第1の記憶領域の内容の正当性が肯定されたときに、前記キー入力検出プログラムに基づいて前記所定のキー入力を検出し、

前記所定のキー入力が無いときに、前記電源制御プログラムおよび前記電源投入プログラムに基づいてシステムの電源制御を行ない、

前記第1の記憶領域の内容の正当性が否定されたとき、または前記所定のキー入力が検出されたときに、前記書き換え要求プログラムに基づいて前記第1の記憶領域の内容の書き換えを行なうことを特徴とするフラッシュROM書き換え方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電源制御機能を有し、記憶データをブロック単位で書き換え可能なフラ

ラッシュROMを内蔵するマイコンを備えたコンピュータシステムおよび同システムのフラッシュROM書き換え方法に関する。

【0002】

【従来の技術】近年、デスクトップタイプやノートブックタイプなどと称される様々なパーソナルコンピュータが種々開発されているが、これらパーソナルコンピュータにおけるシステム内の電源制御は、そのほとんどが1チップ化された電源制御マイコンによって司られている。

【0003】また、最近では、記憶データをブロック単位で書き換え可能なフラッシュROMの価格が低下してきたことに伴ない、このフラッシュROMを各種マイコンに適用することが検討されてきている。このフラッシュROMを適用すれば、プリント基盤に取り付けた後、その内容が破壊された場合や、その内容をバージョンアップする場合であっても、マイコンそのものを交換することなしに対応できるなどのメリットが得られることがある。

【0004】ところで、このフラッシュROMの書き換え処理は、たとえばBIOS-ROMに格納された書き換えプログラムやフロッピディスクなどからシステムメモリにロードされる書き換えプログラムによって実施されるものであるため、この書き換えプログラムが動作可能な状況になければ実施することができない。

【0005】したがって、たとえば電源制御マイコンにフラッシュROMを内蔵した場合にあっては、そのフラッシュROMに格納される電源制御プログラムに何らかの問題が存在すると、システム内の電源制御がうまくいかないために、書き換えプログラムを動作させることができず、結局、電源制御マイコンそのものを交換せざるを得ないといった欠点があった。

【0006】

【発明が解決しようとする課題】このように、たとえば電源制御マイコンにフラッシュROMを内蔵した場合にあっては、そのフラッシュROMに格納される電源制御プログラムに何らかの問題が存在すると、システム内の電源制御がうまくいかないために、書き換えプログラムを動作させることができず、結局、電源制御マイコンそのものを交換せざるを得ないといった欠点があった。

【0007】この発明はこのような実情に鑑みてなされたものであり、電源制御マイコンに内蔵されるフラッシュROMの内容が破壊されて適切な電源制御が行なえない場合でも、強制的にフラッシュROM書き換えを実行できるコンピュータシステムおよびフラッシュROM書き換え方法を提供することを目的とする。

【0008】

【課題を解決するための手段】前述した目的を達成するために、この発明は、コンピュータシステムの電源制御を実行する電源制御プログラムが格納される第1の記憶

10

領域と、システムの電源オンを実行する電源投入プログラム、所定のキー入力を検出するキー入力検出プログラムおよび前記第1の記憶領域の内容の書き換えをシステムに要求する書き換え要求プログラムが格納される第2の記憶領域とを有するフラッシュROMと、システムの電源投入またはリセット時、前記キー入力検出プログラムに基づいて前記所定のキー入力を検出するキー入力検出手段と、前記所定のキー入力が無いときに、前記電源制御プログラムおよび電源投入プログラムに基づいてシステムの電源制御を行なう電源制御手段と、前記キー入力検出手段によって前記所定のキー入力が検出されたときに、前記書き換え要求プログラムに基づいて前記第1の記憶領域の内容の書き換えを行なうフラッシュ書き換え手段とを具備するようにしたものである。

【0009】この発明のコンピュータシステムにおいては、まず、フラッシュROMを書き換え対象となる第1の記憶領域と書き換え対象とならない第2の記憶領域とに分割し、システムの電源オンを実行する電源投入プログラム、所定のキー入力の有無を検出するキー入力検出プログラムおよび第1の記憶領域の内容の書き換えをシステムに要求する書き換え要求プログラムを第2の記憶領域に格納する。これは、フラッシュROMの書き換えに必要な最小限の機能のみを一方の記憶領域に集約させることによって、これらのプログラムの品質を向上させるとともに、この記憶領域を書き換えプログラムの書き換え対象とすることによって、書き換え処理中に何らかの異常が発生した場合にこれらプログラムにダメージを与えることを防止するためである。

【0010】そして、この発明のコンピュータシステムでは、キー入力検出プログラムがシステムの電源投入またはリセットに応答して最初に実行される。このキー入力出力プログラムが実行されることにより、第1の記憶領域の内容の書き換えを指示する所定のキー入力の有無が検出され、所定のキー入力が無い場合には、電源制御プログラムや電源投入プログラムが実行されてシステム内の電源制御が行なわれる。一方、所定のキー入力があった場合には、書き換え要求プログラムが実行されて第1の記憶領域の内容の書き換えがシステムに要求される。

【0011】このように、所定のキーを入力することによって強制的に書き換えプログラムを実行できるので、第1の記憶領域の内容が破壊されてしまいシステム内の電源制御が適切に行なわれない状況や、その内容のバージョンアップを行なわなければならない状況においても、その第1の記憶領域の内容の書き換えをオンボード上で実施することが可能となる。

【0012】また、この発明は、コンピュータシステムの電源制御を実行する電源制御プログラムが格納される第1の記憶領域と、システムの電源オンを実行する電源投入プログラム、前記第1の記憶領域の内容をチェック

50

するメモリチェックプログラムおよび前記第1の記憶領域の内容の書き換えをシステムに要求する書き換え要求プログラムが格納される第2の記憶領域とを有するフラッシュROMと、システムの電源投入またはリセット時、前記メモリチェックプログラムに基づいて前記第1の記憶領域の内容の正当性を判定するメモリチェック手段と、前記メモリチェック手段によって前記第1の記憶領域の内容の正当性が肯定されたときに、前記電源制御プログラムおよび前記電源投入プログラムに基づいてシステムの電源制御を行なう電源制御手段と、前記メモリチェック手段によって前記第1の記憶領域の内容の正当性が否定されたときに、前記書き換え要求プログラムに基づいて前記第1の記憶領域の内容の書き換えを行なうフラッシュ書き換え手段とを具備するようにしたものである。

【0013】この発明のコンピュータシステムでは、メモリチェックプログラムがシステムの電源投入またはリセットに応答して最初に実行される。このメモリチェックプログラムが実行されることにより、第1の記憶領域の内容の正当性が判定され、正当性が肯定された場合には、電源制御プログラムや電源投入プログラムが実行されてシステム内の電源制御が行なわれる。一方、正当性が否定された場合には、書き換え要求プログラムが実行されて第1の記憶領域の内容の書き換えがシステムに要求される。

【0014】このように、第1の記憶領域の内容が破壊されている場合には、その利用前に書き換えプログラムが実行されるので、システムが暴走するようなく、その第1の記憶領域の内容の修復が迅速に実施されることになる。

【0015】

【発明の実施の形態】以下、図面を参照してこの発明の一実施形態を説明する。図1には、この発明の実施形態に係るコンピュータシステムの構成が示されている。

【0016】このコンピュータシステムは、ノートブックタイプのパーソナルコンピュータであり、そのシステムボード上には、PCIバス1、ISAバス2およびI²Cバス3が配設されている。

【0017】また、このコンピュータシステムの内部には、CPU11、CPU/PCIブリッジ12、システムメモリ13、PCI/ISAブリッジ14、BIOS-ROM15、電源制御マイコン(PMC)16、MiscGA17、リセットIC18、電源コントローラ(PSC)19および電源回路(PS)20などが設けられている。

【0018】CPU11は、システムメモリ13に格納されたオペレーティングシステム、デバイスドライバおよびユーティリティを含むアプリケーションプログラムなどを実行制御する。

【0019】CPU/PCIブリッジ12は、CPUロ

一カルバスとPCIバス1との間を繋ぐブリッジLSIであって、PCIバス1のバスマスターの1つとして動作するものであり、バスサイクルを双方向で変換する機能およびメモリバスを介してシステムメモリ13をアクセス制御する機能などを有している。

【0020】システムメモリ13は、このコンピュータシステムの主記憶となるメモリデバイスであり、CPU11によって実行制御されるオペレーティングシステム、デバイスドライバおよびユーティリティを含むアプリケーションプログラムならびに処理データなどを格納する。

【0021】PCI/ISAブリッジ14は、PCIバス1とISAバス2との間を繋ぐブリッジLSIであって、PCIデバイスの1つとして動作するものであり、PCIバスアービタやDMAコントローラなどが内蔵される。そして、ISAバス2には、BIOS-ROM15、電源制御マイコン(PMC)16およびMiscGA17などが接続される。

【0022】BIOS-ROM15は、システムB IOS(Basic I/O System)を記憶するメモリデバイスであり、このBIOS-ROM15には、後述する電源制御マイコン(PMC)16に内蔵されたフラッシュROM161の内容を書き換えるための書き換えプログラムが格納される。

【0023】電源制御マイコン(PMC)16は、(マウスを含む)キーボード制御機能および電源制御機能を有する1チップマイコンであり、プログラム書き換えが可能なフラッシュROM161を内蔵する。また、この電源制御マイコン(PMC)16は、電源スイッチの監視も行なっており、電源スイッチが押下されると、P R ON#信号をアクティブにして、電源コントローラ(PSC)19に対してシステムの電源オン/オフ切り換えを要求する。

【0024】MiscGA17は、このコンピュータシステムの各種ステータスを検出するためのゲートアレイであり、リセットスイッチの押下状態、パネルの開閉状態およびPCカードのセレクトペイの実装状態を検出する機能を有する。また、このMiscGA17は、リセットスイッチが10秒を越えて押下されたとき、もしくはパネルが閉じられ、リセットスイッチが押下された状態で、セレクトペイの実装状態が変化したときに、MC LR#信号をアクティブにして、電源制御マイコン(PMC)16にリセットを通知する。なお、このMCLR#信号は、電源制御マイコン(PMC)16に供給される電力の電圧値が予め定められた値を下回ったときにも、リセットIC18から電源制御マイコン(PMC)16に通知されるものである。

【0025】そして、電源コントローラ(PSC)19は、電源回路(PS)20を制御するものであり、I²Cバス3を介して電源制御マイコン(PMC)16との

50

データの授受を行なう。また、システムの電源がオン状態にあるかどうかをPCNF#信号で電源制御マイコン(PMC)16に通知する。

【0026】図2には、電源制御マイコン(PMC)16に内蔵されるフラッシュROM161のアドレス空間が示されている。図2に示すように、このフラッシュROM161は、物理アドレス0000h-03FFhの領域、および物理アドレス0400h-07FFhの領域が、書き換えプログラムの書き換え対象とならないブートブロックとして位置づけられ、一方、物理アドレス0800h-0BFFhの領域、物理アドレス0C00h-0FFFhの領域、および物理アドレス1000h-7FFFhの領域が、書き換えプログラムの書き換え対象となるコードブロックとして位置づけられる。そして、この発明のポイントは、このフラッシュROM161内部をブートブロックとコードブロックとに分割し、システムの電源投入を実行する電源投入プログラム、システムとの通信を実行する通信プログラムおよびデータブロックの内容の書き換えをシステムに要求する書き換え要求プログラムを、書き換えプログラムの書き換え対象とならないブートブロックに格納する点にある。

【0027】このように、フラッシュROM161の書き換えに必要な最小限の機能のみをブートブロックに集約させることによって、これらのプログラムの品質を向上させるとともに、このブートブロックを書き換えプログラムの書き換え対象外とすることによって、書き換え処理中に何らかの異常が発生した場合にこれらプログラムにダメージを与えることを防止する。

【0028】また、この実施形態の電源制御マイコン(PMC)16は、消去ブロック指定レジスタ、書き込み制御レジスタ、システムステータスレジスタおよびデータレジスタのレジスタ群を備えている。以下、図3乃至図6を参照してこれらレジスタ群を説明する。

【0029】図3は、消去ブロック指定レジスタの構成を示す図である。この消去ブロック指定レジスタは、電源制御マイコン(PMC)16が内蔵するフラッシュROM161の消去エリアをブロックごとに設定するためのレジスタであり、“1”がセットされた各レジスタに対応する領域が消去可能となる。なお、レジスタと領域との関係は、図3(b)に示す通りであり、たとえばレジスタ“EB2”(bit2)に“1”がセットされた場合には、物理アドレス0800-0BFFhの領域が消去可能となる。

【0030】図4は、書き込み制御レジスタの構成を示す図である。この書き込み制御レジスタは、電源制御マイコン(PMC)16が内蔵するフラッシュROM161の消去・書き込みを制御するためのレジスタであり、図4(b)に示すように、レジスタ“P”(bit0)で消去開始/消去停止を指示し、レジスタ“E”(bit1)で書き込み開始/書き込み停止を指示する。

【0031】図5は、システムステータスレジスタの構成を示す図である。このシステムステータスレジスタは、ISAバス2を介してCPU11からリード可能なレジスタであり、図5(b)に示すように、レジスタ“FLWRQ”(bit7)に電源制御マイコン(PMC)16の動作状況が示される。

【0032】図6は、データレジスタの構成を示す図である。このデータレジスタは、ISAバス2を介してCPU11からリード/ライト可能なレジスタであり、図6(b)に示すように、レジスタ“D0”(bit0)からレジスタ“D7”(bit7)のすべてを用いてCPU11とのデータ授受が行なわれる。なお、電源制御マイコン(PMC)16が通常動作状態にあるとき、CPU11からこのデータレジスタにデータがライトされると、電源制御マイコン(PMC)16内では、内部割り込みが発生するようになっている。

【0033】次に、図7乃至図9のフローチャートを参照して、この電源制御マイコン(PMC)16の動作手順を説明する。この電源制御マイコン(PMC)16は、システムの電源投入(POWERON)またはリセット(Restart)の直後、内蔵するフラッシュROM161のブートブロックに格納されたプログラム群にしたがって動作する。なお、ここでいうシステムの電源投入とは、電源スイッチが押下された時点(電源オフから電源オンに切り換わった時点)をいうのではなく、たとえばバッテリパックが装填されたときなど、システムに対する電力の供給そのものが開始または再開された時点をいう。また、電源制御マイコン(PMC)16のリセットは、前述したように、リセットスイッチが10秒を越えて押下されたとき、もしくはパネルが閉じられ、リセットスイッチが押下された状態で、セレクトペイの実装状態が変化したときなどに発生する。

【0034】電源制御マイコン(PMC)16は、まず、レジスタ群を初期化する(ステップA1)。この初期化が完了すると、電源制御マイコン(PMC)16は、フラッシュROM161の内容を検査する(ステップA2)。この検査は、たとえばフラッシュROM161の内容をすべてバイト単位で加算し、その値が“0”であればその正当性を肯定するといった方法などで実施される。

【0035】この検査の結果、フラッシュROM161の内容の正当性が否定されると(ステップA3のN)、電源制御マイコン(PMC)16は、後述するフラッシュ書換処理を実行する(ステップA4)。これにより、たとえば前回のフラッシュ書換処理中に電力供給が遮断されてコードブロックの内容が破壊されていたような場合であっても、その利用前に書き換え処理が実行されるので、システムを暴走させることなく、コードブロックの修復が迅速に実施されることになる。

【0036】一方、フラッシュROM161の内容の正

当性が肯定されると（ステップA 3のY）、電源制御マイコン（PMC）16は、今度は、データブロックの書き換えを要求する所定のキー入力の有無を判定する。ここで、通常動作に移行するまでの間に、1秒間で電源スイッチがさらに2回押下されたとき（電源オン→電源オフ→電源オン）に所定のキー入力があったものとする。

【0037】そこで、電源制御マイコン（PMC）16は、まず、電源スイッチが押下されているかどうかを判定し（ステップA 5）、電源スイッチが押下されていない場合（ステップA 5のN）、通常処理を実行する（ステップA 6）。一方、電源スイッチが押下されていた場合（ステップA 5のY）、電源制御マイコン（PMC）16は、1秒以内に再度電源スイッチが押下されたかどうかの判定に移り（ステップA 9）、1秒以内に再度電源スイッチが押下された場合には（ステップA 10のY）、フラッシュ書換処理を実行し（ステップA 4）、1秒以内に再度電源スイッチが押下されなかった場合は（ステップA 10のN）、通常処理を実行する（ステップA 6）。

【0038】したがって、たとえばフラッシュROM161の内容を強制的に書き換えるには、まず、リセットスイッチを10秒を越えて押下する、もしくはパネルを閉じ、リセットスイッチを押下した状態で、セレクトペイの実装状態を変化させることにより、電源制御マイコン（PMC）16のリセットを発生させ、このリセットの発生直後、電源スイッチを1秒間に2回押下することによって、意図的にフラッシュ書換処理を実行させることができる。

【0039】次に、図8を参照して、フラッシュ書換処理時の電源制御マイコン（PMC）16の動作手順を説明する。なお、このフラッシュ書換処理時も、電源制御マイコン（PMC）16は、内蔵するフラッシュROM161のブートブロックに格納されたプログラム群にしたがって動作する。

【0040】このフラッシュ書換処理では、電源制御マイコン（PMC）16は、まず、システムの電源がオン状態にあるかどうかを確認し（ステップB 1）、システムの電源がオフの状態にあるときには（ステップB 1のN）、電源コントローラ（PSC）19にシステムの電源オンを要求し（ステップB 2）、システム側とのインターフェース回路を初期化する（ステップB 3）。

【0041】次に、電源制御マイコン（PMC）16は、システムステータスレジスタのレジスタ“FLWR Q”に“1”をセットして、システム側にフラッシュ書換処理に入ったことを通知する（ステップB 4）。このとき、電源制御マイコン（PMC）16は、システム側からフラッシュ書込スタートコマンドを受け取るまで待機する（ステップB 5）。

【0042】一方、電源制御マイコン（PMC）16が

フラッシュ書換処理に入ったことを認識すると、システム側では、BIOS-ROM15に格納された書き換えプログラムが実行され、この書き換えプログラムが、フラッシュ書込スタートコマンドをデータレジスタに書き込む。そして、電源制御マイコン（PMC）16は、データレジスタにフラッシュ書込スタートコマンドが書き込まれたことを認識すると、フラッシュイレーズ処理を実行する。

【0043】このフラッシュイレーズ処理では、電源制御マイコン（PMC）16は、ブートブロックが消去されないように、消去ブロックレジスタに“1 Ch”を格納する（ステップB 6）。すなわち、レジスタ“EB 0”～レジスタ“EB 1”に“0”、レジスタ“EB 2”～レジスタ“EB 4”に“1”をそれぞれ格納する。そして、書込制御レジスタのレジスタ“P”を用いてフラッシュイレーズ処理を実行すると（ステップB 7～ステップB 9）、電源制御マイコン（PMC）16は、システム側に対してイレーズ終了コードを出力する（ステップB 10）。

【0044】システム側では、このイレーズ終了コードを受け取ると、書き換えプログラムが、フラッシュROM161のデータブロックに書き込むデータの送信を開始する。一方、電源制御マイコン（PMC）16は、書き込みデータを受信すると（ステップB 11）、この書き込みデータをフラッシュROM161の該当領域にライトした後（ステップB 12）、書込制御レジスタのレジスタ“P”に“1”をセットし（ステップB 13）、さらに約10m秒後に“0”をセットする（ステップB 14～ステップB 15）。この処理によって、受信した書き込みデータがフラッシュROM161に書き込まれる。

【0045】そして、電源制御マイコン（PMC）16は、このフラッシュROM161への書き込み処理が終了すると、自身が備えるウォッチドックタイマ機能を利用して、リセットを発生させる（ステップB 16）。このリセットの発生により、書き換え後の内容で図7に示すフローチャートに示される処理が再開されることになる。

【0046】また、図9は、電源制御マイコン（PM C）のコマンド割り込み処理時の動作手順を示すフローチャートである。電源制御マイコン（PMC）16は、前述したように、通常動作中にシステムからデータレジスタにデータがライトされると、内部割り込みが発生する。そして、このデータレジスタに書き込まれたデータがフラッシュ書込コマンドである場合には（ステップC 1のY）、前述したフラッシュ書換処理を実行する（ステップC 2）。これは、通常動作中であってもコマンドによりフラッシュ書換処理を実行するようにするためのものであり、これにより、たとえばユーティリティプログラムによるフラッシュ書換処理の起動などが可能となる。

る。

[0047]

【発明の効果】以上詳述したように、この発明によれば、フラッシュROMの書き換えに必要な最小限の機能のみを、二分割した記憶領域のうちの一方の記憶領域に集約させることによって、これらプログラムの品質を向上させるとともに、この記憶領域を書き換えプログラムの書き換え対象外とすることによって、書き換え処理中に何らかの異常が発生した場合にこれらプログラムにダメージを与えることを防止する。

[0048]また、所定のキーを入力することによって強制的に書き換えプログラムを実行できるので、フラッシュROMの内容が破壊されてしまいシステム内の電源制御が適切に行なわれない状況や、その内容のバージョンアップを行なわなければならない状況においても、その内容の書き換えをオンボード上で実施することが可能となる。

[0049]さらに、フラッシュROMの内容をチェックした結果、その正当性が否定される場合には、その利用前に書き換えプログラムが実行されるので、システムが暴走するようなことなく、その修復が迅速に実施されることになる。

【図面の簡単な説明】

【図1】この発明の実施形態に係るコンピュータシステムの構成を示す図。

【図2】同実施形態の電源制御マイコン（PMC）に内蔵されるフラッシュROMのアドレス空間を示す図。

【図3】同実施形態の電源制御マイコン（PMC）が備える消去ブロック指定レジスタの構成を示す図。

【図4】同実施形態の電源制御マイコン（PMC）が備える書き制御レジスタの構成を示す図。

【図5】同実施形態の電源制御マイコン（PMC）が備えるシステムステータスレジスタの構成を示す図。

【図6】同実施形態の電源制御マイコン（PMC）が備えるデータレジスタの構成を示す図。

【図7】同実施形態の電源制御マイコン（PMC）の動作手順を説明するためのフローチャート。

【図8】同実施形態の電源制御マイコン（PMC）のフラッシュ書換処理時の動作手順を説明するためのフローチャート。

【図9】同実施形態の電源制御マイコン（PMC）のコマンド割り込み処理時の動作手順を示すフローチャート。

【符号の説明】

1…PCIバス

2…ISAバス

3…I²Cバス

11…CPU

12…CPU/PCIブリッジ

13…システムメモリ

14…PCI/ISAバス

15…BIOS-ROM

16…電源制御マイコン（PMC）

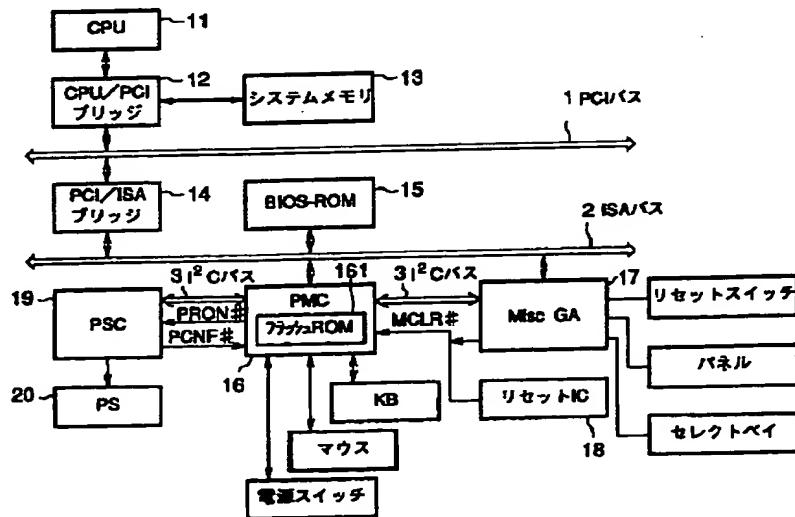
17…Misc GA

18…リセットIC

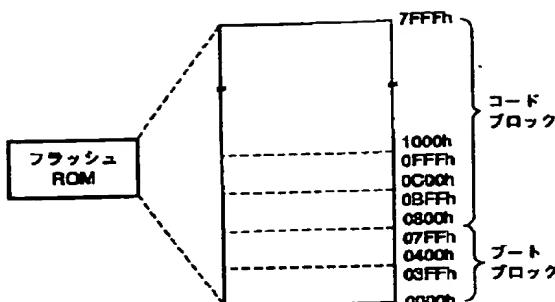
19…電源コントローラ（PSC）

20…電源回路

【図1】



【図2】



【図3】

消去ブロック指定レジスタ							
7	6	5	4	3	2	1	0
-	-	-	EB4	EB3	EB2	EB1	EB0

(a)

レジスタ	アドレス
EB0	0000-03FFh
EB1	0400-07FFh
EB2	0800-0BFFh
EB3	0C00-0FFFh
EB4	1000- 7FFFh

(b)

【図4】

書き出し制御レジスタ							
7	6	5	4	3	2	1	0
-	-	-	-	-	-	E	P

(a)

レジスタ	内容
P (書き出し開始ビット)	1: 書き出し開始 0: 書き出し停止
E (消去制御ビット)	1: 消去開始 0: 消去停止

(b)

【図5】

システムステータスレジスタ							
7	6	5	4	3	2	1	0
FLWRQ	-	-	-	-	-	-	-

(a)

レジスタ	内容
FLWRQ (フラッシュ書き出し要求)	1: マシンはブートブロックで動作 書き出し要求中 0: マシンは通常動作

(b)

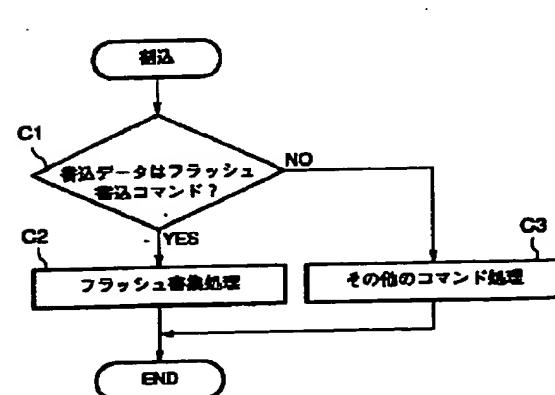
【図6】

データレジスタ							
7	6	5	4	3	2	1	0
D7	D6	D5	D4	D3	D2	D1	D0

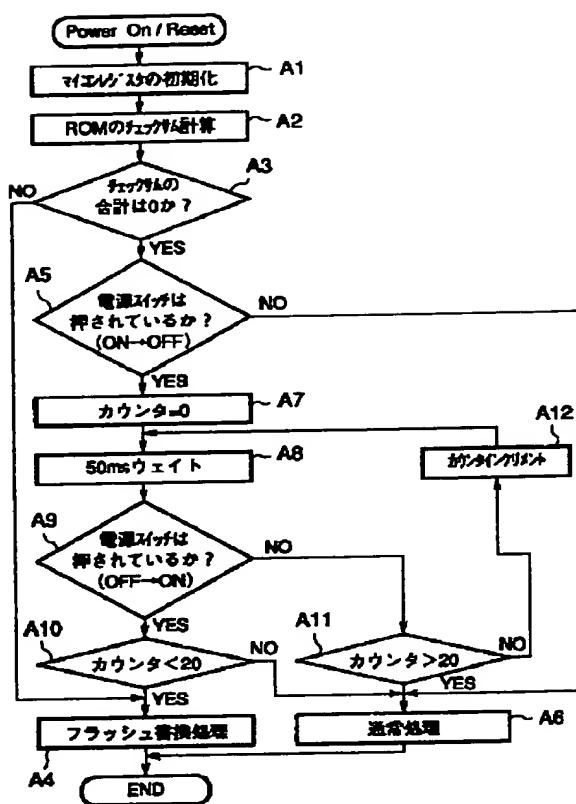
(a)

レジスタ	内容
DD-7	データ

(b)



【図7】



【図8】

